DIALOG(R)File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

010530919 **Image available**
WPI Acc No: 1996-027872/**199603**
XRPX Acc No: N96-023635

Semiconductor substrate production method - involving removal of porous layer which separates single crystal silicon substrate

Patent Assignee: CANON KK (CANO)
Inventor: SAKAGUCHI K; YONEHARA T
Number of Countries: 002 Number of Patents: 002
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 7302889	A	19951114	JP 9545441	A	19950306	199603	B
US 5856229	A	19990105	US 95401237	A	19950309	199909	
			US 97863717	A	19970527		

Priority Applications (No Type Date): JP 9439389 A 19940310
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7302889	A		17	H01L-027/12	
US 5856229	A			H01L-021/76	Cont of application US 95401237

Abstract (Basic): JP 7302889 A

The method involves formation of non-porous single crystal semiconductor layer (13) on the porous layer (12) which is formed on single crystal Si substrate (11). An insulated layer (15) and Si support substrate (14) is formed on the non porous layer one above the other.

Then, the porous layer bonded with the single crystal Si substrate. Both the layers isolated from the remaining layers. Then, another process removes the porous layer allotted on layers (14-16) and the porous layer along with single crystal Si substrate is also removed.

USE/ADVANTAGE - In e.g. electronic device and IC. Excels in economical efficiency. Provides high productivity, homogeneity and control.

(19)日本国特許庁（JP）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平7－302889

(43)公開日　平成7年(1995)11月14日

(51)Int.Cl.⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/12	B			
21/02	B			
21/20				
			H01L 21/76	D
			23/12	D

審査請求　未請求　請求項の数21　OL　（全 17 頁）　最終頁に続く

(21)出願番号　特願平7－45441

(22)出願日　平成7年(1995)3月6日

(31)優先権主張番号　特願平6－39389

(32)優先日　平6(1994)3月10日

(33)優先権主張国　日本（JP）

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者　坂口　清文
東京都大田区下丸子3丁目30番2号　キヤノン株式会社内

(72)発明者　米原　隆夫
東京都大田区下丸子3丁目30番2号　キヤノン株式会社内

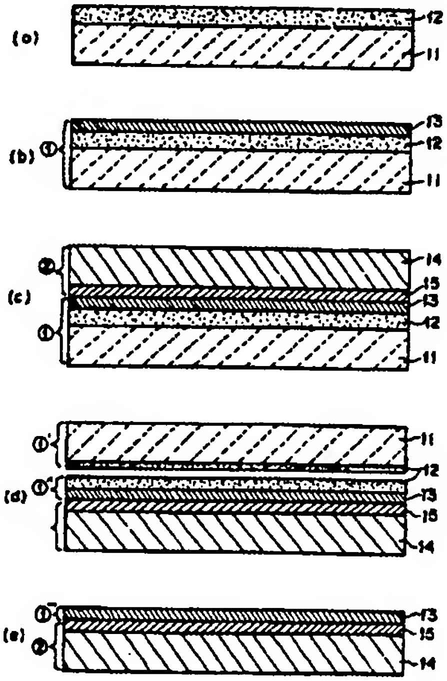
(74)代理人　弁理士　山下　穣平

(54)【発明の名称】　半導体基板の作製方法

(57)【要約】

【目的】　光透過性基板等の絶縁性基板上に、結晶性が単結晶ウェハー並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案する。

【構成】　多孔質層12を有する第1の基体11の前記多孔質層12上に非多孔質単結晶半導体層13を形成する工程（a），（b）、前記非多孔質単結晶半導体層13を第2の基体（14，15）と貼り合わせる工程（c）、前記貼り合わせて構成された基体を前記多孔質層12において分離する工程（d）、前記分離された第2の基体（14，15，13）上に配された多孔質層12を除去する工程（e）、及び前記分離された第1の基体11を構成する多孔質層12を除去する工程を有することを特徴とする半導体基板の作製方法。



1

【特許請求の範囲】

【請求項1】 多孔質層を有する第1の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、
前記非多孔質単結晶半導体層を第2の基体と貼り合わせる工程、
前記貼り合わせて構成された基体を前記多孔質層において分離する工程、
前記分離された第2の基体上に配された多孔質層を除去する工程、及び前記分離された第1の基体を構成する多孔質層を除去する工程を有することを特徴とする半導体基板の作製方法。

【請求項2】 多孔質層を有する第1の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、
前記非多孔質単結晶半導体層を第2の基体と絶縁層を介して貼り合わせる工程、
前記貼り合わせて構成された基体を前記多孔質層において分離する工程、
前記分離された第2の基体上に配された多孔質層を除去する工程、及び前記分離された第1の基体を構成する多孔質層を除去する工程を有することを特徴とする半導体基板の作製方法。

【請求項3】 前記多孔質層は、シリコンを用いて構成される請求項1あるいは請求項2に記載の半導体基板の作製方法。

【請求項4】 前記分離された第1の基体を構成する多孔質層を除去して得られる基体に、新たに多孔質層を形成し、これを前記多孔質層を有する第1の基体として前記貼り合わせ工程以降の工程を行なう請求項1あるいは請求項2に記載の半導体基板の作製方法。

【請求項5】 前記非多孔質単結晶半導体層は、Ｓｉ層である請求項1あるいは2に記載の半導体基板の作製方法。

【請求項6】 前記非多孔質単結晶半導体層は、化合物半導体層である請求項1あるいは2に記載の半導体基板の作製方法。

【請求項7】 前記第1の基体は、Ｓｉを用いて構成される請求項1あるいは2に記載の半導体基板の作製方法。

【請求項8】 前記第2の基体は、光透過性基体である請求項1あるいは2に記載の半導体基板の作製方法。

【請求項9】 前記多孔質層の除去はエッチングを用いてなされる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項10】 前記多孔質層の除去は、前記多孔質層を前記非多孔質単結晶半導体層をストッパーとして選択的に研磨することによりなされる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項11】 前記多孔質層における分離は、貼り合わせた基体の貼り合わせ面に対して垂直な方向に加圧すること、前記面に垂直な方向に引っ張ること、該貼り合わせ面に対して剪断応力をかけること、の少なくとも1つ以上の方法によって行われる請求項1あるいは2に記載の半導体基板の作製方法。

2

【請求項12】 前記絶縁層は、前記非多孔質単結晶層上、前記第2の基体の表面上の少なくとも一方に形成する請求項2に記載の半導体基板の作製方法。

【請求項13】 前記絶縁層は、熱酸化膜、堆積SiO_2膜、堆積Si_3N_4膜の中から選ばれる請求項12に記載の半導体基板の作製方法。

【請求項14】 前記貼り合わせ工程は、陽極接合、加圧、熱処理、あるいはこれらの組み合わせの中から選ばれた方法により行われる請求項1又は2に記載の半導体基板の作製方法。

【請求項15】 前記多孔質層は、陽極化成を用いて形成される請求項1又は2記載の半導体基板の作製方法。

【請求項16】 前記陽極化成は、ＨＦ溶液中で行われる請求項15に記載の半導体基板の作製方法。

【請求項17】 前記多孔質層における分離は、該多孔質層に波動エネルギーを印加することにより行われる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項18】 前記多孔質層における分離は、該多孔質層側面から剥離用部材を挿入することにより行われる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項19】 前記多孔質層における分離は、該多孔質層に染み込ませた物質の膨張エネルギーにより行われる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項20】 前記多孔質層における分離は、ウエハ側面の該多孔質層に対する選択エッチングにより行われる請求項1あるいは2に記載の半導体基板の作製方法。

【請求項21】 前記多孔質層の多孔度は、10〜80％の範囲にある請求項1あるいは2に記載の半導体基板の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板の作製方法に関する。更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体、半導体基板上の単結晶化合物半導体の作製方法、さらに単結晶半導体層に作成される電子デバイス、集積回路に適する半導体基板の作製方法に関するものである。

【0002】

【従来の技術】絶縁物上の単結晶Ｓｉ半導体層の形成は、シリコン オン インシュレーター（ＳＯＩ）技術として広く知られ、通常のＳｉ集積回路を作製するバルクＳｉ基板では到達しえない数々の優位点をＳＯＩ技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、ＳＯＩ技術を利用することで、
1．誘電体分離が容易に高集積化が可能、
2．対放射線耐性に優れている、
3．浮遊容量が低減され高速化が可能、

4．ウェル工程が省略できる、
5．ラッチアップを防止できる、
6．薄膜化による完全空乏型電界効果トランジスタが可能、等の優位点が得られる。

【0003】上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。

【0004】Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no3, pp429～590(1983)．また、古くは、単結晶サファイア基板上に、SiをCVD（化学気相法）で、ヘテロエピタキシーさせて形成するSOS（シリコン オン サファイア）が知られており、最も成熟したSOI技術として一応の成功は収めはしたが、Si層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニュームのSi層への混入、そして何よりも基板の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

【0005】1．Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO_2 上へSi単結晶層を形成する。（この場合には、SiO_2 上にSi層の堆積をともなう。）
2．Si単結晶基板そのものを活性層として使用し、その下部にSiO_2 を形成する。（この方法は、Si層の堆積をともなわない。）また、化合物半導体上のデバイスはSiでは得られない高い性能、たとえば、高速、発光など、を持っている。現在は、これらのデバイスはほとんどGaAs等の化合物半導体基板上にエピタキシャル成長をしてその中に作り込まれている。

【0006】しかし、化合物半導体基板は、高価で、機械的強度が低く、大面積ウェハは作成が困難などの問題点がある。

【0007】このようなことから、安価で、機械的強度も高く、大面積ウェハが作製できるSiウェハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【0008】

【発明が解決しようとしている課題】上記1を実現する手段として、CVDにより、直接、単結晶層Siを横方向エピタキシャル成長させる方法、非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶Si層に電子線、レーザー光等のエネルギービームを収束して照射し、溶融再結晶により単結晶層をSiO_2 上に成長させる方法、そして、棒状ヒーターにより帯状に溶融領域を走査する方法（Zone Melting Recrystallization）が知られている。これらの方法にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亜粒界等の結晶欠陥は、多数残留しており、少数キャリヤーデバイスを作成するにいたってない。

【0009】上記2の方法であるSi基板をエピタキシャル成長の種子として用いない方法に於いては、次の4種類の方法が挙げられる。

【0010】1．V型の溝が表面に異方性エッチングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に多結晶Si層をSi基板と同じ程厚く堆積した後、Si基板の裏面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Siを数百ミクロンも厚く堆積する工程、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程に、制御性と生産性の点から問題がある。

【0011】2．サイモックス（SIMOX：Seperation by ion implanted oxygen）と称されるSi単結晶基板中に酸素のイオン注入によりSiO_2 層を形成する方法であり、Siプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、SiO_2 層を形成するためには、酸素イオンを10^{18} ions／cm^2 以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいえず、また、ウェハーコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【0012】3．多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法。この方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入、（イマイ他，J. Crystal Growth, vol 63, 547(1983)），もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成法によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法では、分離されているSi領域は、デバイス工程のまえに決定

されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0013】また、上記のような従来のSOIの形成方法とは別に、近年、Si単結晶基板を、熱酸化した別のSi単結晶基板に、熱処理又は接着剤を用いて張り合せ、SOI構造を形成する方法が注目を浴びている。この方法は、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百ミクロンもの厚さのSi単結晶基板をミクロンオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように2種類の方法がある。

【0014】1．研磨による薄膜化
2．選択エッチングによる薄膜化
1の研磨では均一に薄膜化することが困難である。特にサブミクロンの薄膜化は、ばらつきが数十％にもなってしまい、この均一化は大きな問題となっている。さらにウェハの大口径化が進めばその困難度は増すばかりである。

【0015】また、2のエッチングは均一な薄膜化に有効とされているが、
・せいぜい10^2と選択比が充分でない
・エッチング後の表面性が悪い
・イオン注入、高濃度Bドープ Si層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためSOI層の結晶性が悪い等の問題点がある（C．Harendt，et．al．，J．Elect．Mater．Vol．20，267（1991）、H．Baumgart，et．al．，Extended Abstract of ECS 1st International Symposium of Wafer Bonding，pp－733（1991）、C．E．Hunt，Extended Abstract ofECS 1st International Symposium of Wafer Bonding，pp－696（1991））。

【0016】さらに貼り合わせを用いた半導体基板は、必ず2枚のウェハを必要とし、そのうち1枚はほとんど大部分が研磨・エッチング等により無駄に除去され捨てられてしまい、限りある地球の資源を無駄使いしてしまう。

【0017】したがって、貼り合わせによるSOIにおいては、現状の方法では、その制御性、均一性さらには経済性に多くの問題点が存在する。

【0018】また、ガラスに代表される光透過性基板上には、一般には、その結晶構造の無秩序性から、堆積した薄膜Si層は、基板の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、高性能なデバイスは作製できない。それは、基板の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。

【0019】ところで、光透過性基板は、光受光素子であるコンタクトセンサーや投影型液晶画像表示装置を構成するうえにおいて重要である。そして、センサーや表示装置の画素（絵素）をより一層、高密度化、高解像度化、高精密化するには、高性能な駆動素子が必要となる。その結果、光透過性基板上に設けられている素子としても優れた結晶性を有する単結晶層を用いて作製されることが必要となる。

【0020】したがって、非晶質Siや多結晶Siでは、その欠陥の多い結晶構造ゆえに要求されるあるいは今後要求されるに十分な性能を持った駆動素子を作製することが難しい。

【0021】上で述べたように、化合物半導体のデバイス作製には化合物半導体の基板が必要不可欠となっている。しかし、化合物半導体の基板は高価で、しかも、大面積化が非常に困難である。

【0022】さらに、Si基板上にGaAs等の化合物半導体をエピタキシャル成長させることが試みられているが、格子定数や熱膨張係数の違いにより、その成長膜は結晶性が悪く、デバイスに応用することは非常に困難となっている。

【0023】また、格子のミスフィットを緩和するため多孔質Si上に化合物半導体をエピタキシャル成長させることが試みられているが、多孔質Siの熱安定性の低さ、経時変化等によりデバイスを作製中あるいは、作製した後の基板としての安定性、信頼性に欠ける。

【0024】こうしたなか、本発明の発明者である米原隆夫は、上述した課題点に鑑み、先に特開平5－21338号公報に開示された新規な半導体部材の製造方法を提案した。

【0025】当該公報に開示された方法は、次のとおりのものである。即ち、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法である。

【0026】当該方法は、上述した課題を解決し得る優れたものである。しかしながら、当該公報に開示された方法を更に発展させて半導体基板の生産性の向上、低コスト化が更に図れれば、当該技術分野に係る産業への寄与は極めて大きなものとなる。

【0027】［発明の目的］本発明は、上述の公報に開示された方法を、更に改善した半導体基板の作製方法を提供することを目的とする。

【0028】本発明の別の目的は、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有する単結晶基板を用いて、表面に形成された半導体層あるいは化合物半導体活性層を残して、その片面から該活性層までを取り去り、絶縁物上に欠陥の著しく少ない単結晶層

あるいは化合物半導体結晶層を得る半導体基板の作製方法を提供することにある。

【0029】本発明の更に別の目的は、透明基板（光透過性基板）上に結晶性が単結晶ウェハー並に優れたＳｉあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することにある。

【0030】本発明の更に別の目的は、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替足り得る半導体基板の作製方法を提案することにある。

【0031】

【課題を解決するための手段】本発明の半導体基板の作製方法は、下述する構成のものである。

【0032】即ち、本発明の半導体基板の作製方法の第１の態様は、多孔質層を有する第１の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、前記非多孔質単結晶半導体層を第２の基体と貼り合わせる工程、前記貼り合わせて構成された基体を前記多孔質層において分離する工程、前記分離された第２の基体上に配された多孔質層を除去する工程、及び前記分離された第１の基体を構成する多孔質層を除去する工程を有することを特徴とするものである。

【0033】本発明の第２の態様は、多孔質層を有する第１の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、前記非多孔質単結晶半導体層を第２の基体と絶縁層を介して貼り合わせる工程、前記貼り合わせて構成された基体を前記多孔質層において分離する工程、前記分離された第２の基体上に配された多孔質層を除去する工程、及び前記分離された第１の基体を構成する多孔質層を除去する工程を有することを特徴とするものである。

【0034】

【作用】本発明においては、貼り合わせて構成された基体を多孔質層で分離し、非多孔質単結晶半導体層が配された第２の基体上の多孔質層を除去することにより、高品質な非多孔質単結晶半導体層が配された半導体基体を形成できる。これに加えて、貼り合わせて構成された基体を多孔質層で分離し、第１の基体を構成する多孔質層を除去することにより、多孔質層を除去した第１の基体を半導体基体作製に再利用することができる。これにより、半導体基体の生産性の向上、低コスト化が更に図れる。

【0035】本発明によれば、透明基板（光透過性基板）をはじめとする基板上に結晶性が単結晶ウェハー並に優れたＳｉ等の単結晶層あるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することができる。

【0036】また、本発明によれば、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替足り得る半導体基板の作製方法を提案することができる。

【0037】本発明においては、多孔質層を介して基体を２つ以上に分離することができ、分離後の一方の基体は、残留多孔質を除去した後、半導体基板として使用可能であり、他方の基体は、残留多孔質を除去した後、再度、半導体基板の作製に利用することができる。

【0038】本発明においては、基体の両面に多孔質層および非多孔質単結晶層を形成し、該単結晶層を挟むように２枚の別の基体を貼り合わせた後、前記多孔質層で基体を分離することにより同時に２枚の半導体基板を作製することができる。

【0039】本発明の半導体基板の作製方法をシリコンを例に挙げて以下に詳細に説明する。

【0040】多孔質Ｓｉの機械的強度はｐｏｒｏｓｉｔｙにより異なるが、バルクＳｉよりも十分に弱いと考えられる。たとえば、ｐｏｒｏｓｉｔｙが５０％であれば機械的強度はバルクの半分と考えて良い。すなわち、貼り合わせウェハに圧縮、引っ張りあるいは剪断力をかけると、まず多孔質Ｓｉ層が破壊されることになる。また、ｐｏｒｏｓｉｔｙを増加させればより弱い力で多孔質層を破壊できる。

【0041】Ｓｉ基板はＨＦ溶液を用いた陽極化成法によって多孔質化させることができる。この多孔質Ｓｉ層は、単結晶Ｓｉの密度２．３３ｇ／cm^3 に比べて、ＨＦ溶液濃度を５０～２０％に変化させることでその密度を１．１～０．６ｇ／cm^3の範囲に変化させることができる。この多孔質層は、下記の理由により、Ｎ型Ｓｉ層には形成されず、Ｐ型Ｓｉ基板のみに形成される。この多孔質Ｓｉ層は、透過電子顕微鏡による観察によれば、平均約６００オングストローム程度の径の孔が形成される。

【0042】多孔質Ｓｉは、Ｕｈｌｉｒ等によって１９５６年に半導体の電解研磨の研究過程において発見された（Ａ．Ｕｈｌｉｒ，Ｂｅｌｌ Ｓｙｓｔ．Ｔｅｃｈ．Ｊ．，ｖｏｌ．３５，３３３（１９５６））。

【0043】また、ウナガミ等は陽極化成におけるＳｉの溶解反応を研究し、ＨＦ溶液中のＳｉの陽極反応には正孔が必要であり、その反応は、次のようであると報告している（Ｔ．ウナガミ、Ｊ．Ｅｌｅｃｔｒｏｃｈｅｍ．Ｓｏｃ．，ｖｏｌ．１２７，４７６（１９８０））。

【0044】$Si+2HF+(2-n)e^{+} \rightarrow SiF_2+2H^{+}+ne^{-}$

$SiF_2+2HF \rightarrow SiF_4+H_2$

$SiF_4+2HF \rightarrow H_2SiF_6$

または、

$Si+4HF+(4-\lambda)e^{+} \rightarrow SiF_4+4H^{+}+\lambda e^{-}$

$SiF_4 + 2HF \rightarrow H_2SiF_6$

ここで、e^+およびe^-はそれぞれ正孔と電子を表している。また、nおよびλはそれぞれＳｉ１原子が溶解するために必要な正孔の数であり、n＞２またはλ＞４なる条件が満たされる場合に多孔質Ｓｉが形成されるとしている。

【００４５】以上のことから、正孔の存在するＰ型Ｓｉは多孔質化されるが、Ｎ型Ｓｉは多孔質化されない。この多孔質化における選択性は長野等および今井によって実証されている（長野、中島、安野、大中、梶原、電子通信学会技術研究報告、ｖｏｌ．７９，ＳＳＤ７９－９５４９（１９７９））、（Ｋ．Ｉｍａｉ，Ｓｏｌｉｄ－Ｓｔａｔｅ Ｅｌｅｃｔｒｏｎｉｃｓ，ｖｏｌ．２４，１５９（１９８１））。

【００４６】しかし、高濃度Ｎ型Ｓｉであれば多孔質化されるとの報告もあり（Ｒ．Ｐ．Ｈｏｌｍｓｔｒｏｍ ａｎｄ Ｊ．Ｙ．Ｃｈｉ，Ａｐｐｌ．Ｐｈｙｓ．Ｌｅｔｔ．，ｖｏｌ．４２，３８６（１９８３））、Ｐ型、Ｎ型の別にこだわらず、多孔質化を実現できる基板を選ぶことが重要である。

【００４７】多孔質Ｓｉ層には、透過電子顕微鏡による観察によれば、平均約６００オングストローム程度の径の孔が形成されており、その密度は単結晶Ｓｉに比べると、半分以下になるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶Ｓｉ層をエピタキシャル成長させることも可能である。ただし、１０００℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Ｓｉ層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマＣＶＤ、減圧ＣＶＤ法、光ＣＶＤ、バイアス・スパッター法、液相成長法等の低温成長が好適とされている。

【００４８】また、多孔質層はその内部に大量の空隙が形成されている為に、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて、著しく増速される。

【００４９】［実施態様例１］図１（ａ）に示すように、まず第１のＳｉ単結晶基板１１を用意して、その表面層を多孔質化１２し、多孔質Ｓｉ１２上に非多孔質単結晶Ｓｉ層１３を形成する（図１（ｂ））。

【００５０】次に、図１（ｃ）に示すように、もう一方のＳｉ支持基板１４と単結晶Ｓｉ層１３とを絶縁層１５を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、Ｓｉ支持基板１４と単結晶層１３とは絶縁層１５を介して強固に結合する。絶縁層１５は単結晶Ｓｉ層上、Ｓｉ支持基板１４上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ３枚重ねで貼り合わせる。

【００５１】次に、多孔質Ｓｉ層１２で基板を分離する

（図１（ｄ））。Ｓｉ支持基板側は、多孔質Ｓｉ１２／単結晶Ｓｉ層１３／絶縁層１５／Ｓｉ支持基板１４のような構造となる。

【００５２】さらに、多孔質Ｓｉ１２を選択的に除去する。通常のＳｉのエッチング液、あるいは多孔質Ｓｉの選択エッチング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも１種類を用いて、多孔質Ｓｉ１２のみを無電解湿式化学エッチングして絶縁性基板１５＋１４上に薄膜化した単結晶Ｓｉ層１３を残存させ形成する。上記詳述したように、多孔質Ｓｉの膨大な表面積により通常のＳｉのエッチング液でも選択的に多孔質Ｓｉのみをエッチングすることが可能である。

【００５３】あるいは、単結晶Ｓｉ層１３を研磨ストッパーとして多孔質Ｓｉ１２を選択研磨で除去する。

【００５４】図１（ｅ）には、本発明で得られる半導体基板が示される。絶縁性基板１５＋１４上に単結晶Ｓｉ層１３が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【００５５】第１のＳｉ単結晶基板１１は、残留多孔質Ｓｉを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第１のＳｉ単結晶基板１１として使用する。

【００５６】本発明において、多孔質Ｓｉ層で２つの基体を分離する方法としては、貼り合わせた基体の両側より加圧して多孔質層を押しつぶす方法、それぞれの基体を両側に引き、両者を分離する方法、多孔質層に治具をそう入する方法、貼り合わせた基体の表面に平行な方向に力を加える方法、多孔層に超音波振動を加える方法等が採用できる。

【００５７】本発明において、分離に適した多孔質Ｓｉ層の多孔度（ｐｏｒｏｓｉｔｙ）は、一般的には１０～８０％の範囲であり、より好ましくは、２０～６０％の範囲である。

【００５８】［実施態様例２］図２（ａ）に示すように、まず第１のＳｉ単結晶基板２１を用意して、その表面層を多孔質化２２し、多孔質Ｓｉ２２上に非多孔質単結晶Ｓｉ層２３を形成する（図２（ｂ））。

【００５９】次に、図２（ｃ）に示すように、石英やガラスに代表される光透過性支持基板２４と単結晶Ｓｉ層２３とを絶縁層２５を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、光透過性支持基板２４と単結晶層２３とは絶縁層２５を介して強固に結合する。絶縁層２５は単結晶Ｓｉ層上、光透過性支持基

板２４上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ３枚重ねで貼り合わせる。

【００６０】次に、多孔質Ｓｉ層２３で基板を分割する（図２（ｄ））。光透過性支持基板側は、多孔質Ｓｉ２２／単結晶Ｓｉ層２３／絶縁層２５／光透過性支持基板２４のような構造となる。

【００６１】さらに、多孔質Ｓｉ２２を選択的に除去する。通常のＳｉのエッチング液、あるいは多孔質Ｓｉの選択エッチング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも１種類を用いて、多孔質Ｓｉ２２のみを無電解湿式化学エッチングして光透過性絶縁性基板２５＋２４上に薄膜化した単結晶Ｓｉ層２３を残存させ形成する。上記詳述したように、多孔質Ｓｉの膨大な表面積により通常のＳｉのエッチング液でも選択的に多孔質Ｓｉのみをエッチングすることが可能である。

【００６２】あるいは、単結晶Ｓｉ層２３を研磨ストッパーとして多孔質Ｓｉ２２を選別研磨で除去する。

【００６３】図２（ｅ）には、本発明で得られる半導体基板が示される。光透過性絶縁性基体２５＋２４上に単結晶Ｓｉ層２３が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【００６４】絶縁介在層２５はなくても良い。

【００６５】第１のＳｉ単結晶基板２１は、残留多孔質Ｓｉを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第１のＳｉ単結晶基板２１として使用できる。

【００６６】［実施態様例３］図３（ａ）に示すように、まず第１のＳｉ単結晶基板３１を用意して、その表面層を多孔質化３２し、多孔質Ｓｉ３２上に非多孔質単結晶化合物半導体層３３を形成する（図３（ｂ））。

【００６７】次に、図３（ｃ）に示すように、もう一方のＳｉ支持基板３４と単結晶化合物半導体層３３とを絶縁層３５を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、Ｓｉ支持基板３４と単結晶層３３とは絶縁層３５を介して強固に結合する。絶縁層３５は単結晶化合物半導体層上、Ｓｉ支持基板３４上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ３枚重ねて貼り合わせる。

【００６８】次に、多孔質Ｓｉ層３２で基板を分割する（図３（ｄ））。Ｓｉ支持基板側は、多孔質Ｓｉ３２／単結晶化合物半導体層３３／絶縁層３５／Ｓｉ支持基板３４のような構造となる。

【００６９】さらに、多孔質Ｓｉ３２を選択的に除去する。化合物半導体に対してＳｉのエッチング速度の早いエッチング液を用いて、多孔質Ｓｉ３２のみを化学エッチングして絶縁性基板３５＋３４上に薄膜化した単結晶化合物半導体層３３を残存させ形成する。

【００７０】あるいは、単結晶化合物半導体層３３を研磨ストッパーとして多孔質Ｓｉ３２を選択研磨で除去する。

【００７１】図３（ｅ）には、本発明で得られる半導体基板が示される。絶縁性基板３５＋３４上に単結晶化合物半導体層３３が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして得られた半導体基板は、化合物半導体基板として、さらには絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【００７２】化合物半導体基板として用いる場合には絶縁層３５はなくても良い。

【００７３】第１のＳｉ単結晶基板３１は、残留多孔質Ｓｉを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第１のＳｉ単結晶基板３１として使用できる。

【００７４】［実施態様例４］図４（ａ）に示すように、まず第１のＳｉ単結晶基板４１を用意して、その表面層を多孔質化４２し、多孔質Ｓｉ４２上に非多孔質単結晶化合物半導体層４３を形成する（図４（ｂ））。

【００７５】次に、図４（ｃ）に示すように、石英やガラスに代表される光透過性支持基板４４と単結晶化合物半導体層４３とを絶縁層４５を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、光透過性支持基板４４と単結晶層４３とは絶縁層４５を介して強固に結合する。絶縁層４５は単結晶化合物半導体層上、光透過性支持基板４４上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ３枚重ねて貼り合わせる。

【００７６】次に、多孔質Ｓｉ層４３で基板を分割する（図４（ｄ））。光透過性支持基板側は、多孔質Ｓｉ４２／単結晶化合物半導体層４３／絶縁層４５／光透過性支持基板４４のような構造となる。

【００７７】さらに、多孔質Ｓｉ４２を選択的に除去する。化合物半導体に対してＳｉのエッチング速度の速いエッチング液を用いて、多孔質Ｓｉ４２のみを化学エッチングして絶縁性基板４５＋４４上に薄膜化した単結晶化合物半導体層４３を残存させ形成する。

【００７８】あるいは、単結晶化合物半導体層４３を研磨ストッパーとして多孔質Ｓｉ４２を選択研磨で除去する。

【００７９】図４（ｅ）には、本発明で得られる半導体基板が示される。光透過性絶縁性基板４５＋４４上に単結晶化合物半導体層４３が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして

得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0080】絶縁介在層45はなくても良い。

【0081】第1のSi単結晶基板41は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶基板41として使用できる。

【0082】［実施態様例5］図5（a）に示すように、まず第1のSi単結晶基板51を用意して、その両面の表面層を多孔質化52、53し、両面の多孔質Si 52、53上に非多孔質単結晶半導体層54、55を形成する（図5（b））。

【0083】次に、図5（c）に示すように、2枚の支持基板56、57と単結晶半導体層54、55とをそれぞれ絶縁層58、59を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、支持基板56、57と単結晶層54、55とは絶縁層58、59を介して強固に結合する。絶縁層58、59は単結晶半導体層54、55上、支持基板56、67上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ5枚重ねて貼り合わせる。

【0084】次に、両多孔質Si層52、53で基板を三分割する（図5（d））。2枚の支持基板は、多孔質Si／単結晶半導体層／絶縁層／支持基板（52／54／58／56、および53／55／59／57）のような構造となる。

【0085】さらに、両多孔質Si52、53を選択的に除去する。多孔質Si52、53のみを選択的に化学エッチングして支持基板58／56および59／57上に薄膜化した単結晶半導体層54、55を残存させ形成する。

【0086】あるいは、単結晶半導体層54、55を研磨ストッパーとして多孔質Si52、53を選択、研磨で除去する。

【0087】図5（e）には、本発明で得られる半導体基板が示される。支持基板上に単結晶化合物半導体層が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に2体同時に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0088】絶縁介在層58、59はなくても良い。

【0089】支持基板56、57は同一でなくても良い。

【0090】第1のSi単結晶基板51は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶51として使用できる。

【0091】

【実施例】

（実施例1）625μmの厚みを持った比抵抗0.01Ω・cmのP型の6インチ径の第1の（100）単結晶Si基板を、HF溶液中において陽極化成を行った。

【0092】陽極化成条件は以下のとおりであった。

【0093】電流密度：5（$mA\cdot cm^{-2}$）

陽極化成溶液：HF：H_2O：C_2H_5OH＝1：1：1

時間：12（分）

多孔質Siの厚み：10（μm）

Porosity：15（％）

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD（Chemical Vapor Deposition）法により単結晶Siを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0094】ソースガス：SiH_2Cl_2／H_2

ガス流量：0.5／180 l／min

ガス圧力：80Torr

温度：950℃

成長速度：0.3μm／min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO_2層を形成した。

【0095】該SiO_2層表面と別に用意した500nmのSiO_2層を形成したSi基板の表面とを重ね合わせ、接触させた後、900℃－2時間の熱処理をし、貼り合わせをおこなった。

【0096】貼り合わせたウェハの面に対して垂直方向に均一に十分な引っ張り力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。具体的には、貼り合わせたウェハの両面にプレートを接着剤を用いて接着し、該プレートを該プレートを互いに引き離す方向に移動せしめる治具に配した後、2つに引き離した。

【0097】その後、多孔質Si層を49％弗酸と30％過酸化水素水との混合液（1：5）で攪拌しながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0098】非多孔質Si単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【0099】すなわち、Si酸化膜上に1μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。

【0100】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結

晶性が維持されていることが確認された。

【0101】こうして、高品質な半導体層を有するSOI基板が得られた。更に、多孔質Si層を境に分離した他方のSi基板に残存する多孔質層を同様のエッチングにより除去した後、表面をポリッシングした。こうして得られたSi基板を用いて上述の工程を繰り返すことにより高品質な半導体層を有するSOI基板複数個が得られた。

【0102】（実施例2）525μmの厚みを持った比抵抗0．01Ω・cmのP型の4インチ径の第1の（100）単結晶Si基板を、HF溶液中において陽極化成を行った。

【0103】陽極化成条件は以下のとおりであった。

【0104】電流密度：7（$mA\cdot cm^{-2}$）
陽極化成溶液：HF：H_2O：C_2H_5OH＝1：1：1
時間：12（分）
多孔質Siの厚み：10（μm）
Porosity：15（%）
この基板を酸素雰囲気中400℃で2時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMBE（Molecular Beam Epitaxy）法により単結晶Siを0．5μmエピタキシャル成長した。成長条件は以下の通りである。

【0105】温度：700℃
圧力：1×10^{-9}Torr
成長速度：0．1nm／sec
温度：950℃
成長速度：0．3μm／min
さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO_2層を形成した。

【0106】該SiO_2層表面と別に用意した溶融石英基板の表面とを重ね合わせ、接触させた後、400℃－2時間の熱処理をし、貼り合わせをおこなった。

【0107】貼り合わせたウェハの面に対して垂直方向に均一に十分な圧力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。具体的には、貼り合わせたウェハの両面にプレートを接着剤を用いて接着し、該プレートを該プレートを実施例1で述べた治具に配した後、該プレートに圧力を加えることでSi層を破壊した。

【0108】その後、多孔質Si層をバッファード弗酸と30％過酸化水素水との混合液（1：5）で攪拌しながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0109】非多孔質Si単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【0110】すなわち、溶融石英基板上に0．5μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。

【0111】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0112】実施例1と同様にして、上述の工程を繰り返すことにより高品質な半導体層を有するSOI基板複数個が得られた。

【0113】（実施例3）625μmの厚みを持った比抵抗0．01Ω・cmのP型あるいはN型の6インチ径の第1の（100）単結晶Si基板を、HF溶液中において陽極化成を行った。

【0114】陽極化成条件は以下のとおりであった。

【0115】電流密度：7（$mA\cdot cm^{-2}$）
陽極化成溶液：HF：H_2O：C_2H_5OH＝1：1：1
時間：12（分）
多孔質Siの厚み：10（μm）
Porosity：15（%）
この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMOCVD（Metal Organic Chemical Vapor Deposition）法により単結晶GaAsを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0116】ソースガス：TMG／AsH_3／H_2
ガス圧力：80Torr
温度：700℃
該GaAs層表面と別に用意した第2のSi基板の表面とを重ね合わせ、接触させた後、900℃－1時間の熱処理をし、貼り合わせをおこなった。この熱処理により両基板は強固に貼り合わされた。

【0117】貼り合わせたウェハに実施例2と同様にして圧力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0118】その後、多孔質Si層を内壁の酸化膜を弗酸で除去した後、多孔質Siをエチレンジアミン＋ピロカテコール＋水（17ml：3g：8mlの比率）110℃でエッチングした。単結晶GaAsはエッチングされずに残り、単結晶GaAsをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0119】単結晶GaAsの該エッチング液に対するエッチング速度は、極めて低く、実用上無視できる膜厚減少である。

【０１２０】すなわち、Ｓｉ基板上に１μmの厚みを持った単結晶ＧａＡｓ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶ＧａＡｓ層には何ら変化はなかった。

【０１２１】透過電子顕微鏡による断面観察の結果、ＧａＡｓ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【０１２２】実施例２と同様にして、上述の工程を繰り返し、高品質なＧａＡｓ層を配した複数の半導体基板が得られた。

【０１２３】支持基板として酸化膜付きのＳｉ基板を用いることにより、絶縁膜上のＧａＡｓも同様に作製できた。

【０１２４】（実施例４）６２５μmの厚みを持った比抵抗０．０１Ω・cmのＰ型あるいはＮ型の５インチ径の第１の（１００）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【０１２５】陽極化成条件は以下のとおりであった。

【０１２６】電流密度：１０（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：２４（分）
多孔質Ｓｉの厚み：２０（μm）
Ｐｏｒｏｓｉｔｙ：１７（％）
この基板を酸素雰囲気中４００℃で２時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にＭＢＥ（Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法により単結晶ＡｌＧａＡｓを０．５μmエピタキシャル成長した。

【０１２７】該ＡｌＧａＡｓ層表面と別に用意した低融点ガラス基板の表面とを重ね合わせ、接触させた後、５００℃－２時間の熱処理をし、貼り合わせをおこなった。この熱処理により両基板は強固に貼り合わされた。

【０１２８】貼り合わせたウェハ実施例２と同様にして圧力を加えたところ多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。

【０１２９】その後、多孔質Ｓｉを弗酸溶液でエッチングした。単結晶ＡｌＧａＡｓはエッチングされずに残り、単結晶ＡｌＧａＡｓをエッチ・ストップの材料として、多孔質Ｓｉは選択エッチングされ、完全に除去された。

【０１３０】単結晶ＡｌＧａＡｓの該エッチング液に対するエッチング速度は、極めて低く、実用上無視できる膜厚減少である。

【０１３１】すなわち、ガラス基板上に０．５μmの厚みを持った単結晶ＡｌＧａＡｓ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶ＡｌＧａＡｓ層には何ら変化はなかった。

【０１３２】透過電子顕微鏡による断面観察の結果、ＡｌＧａＡｓ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例２と同様にして、上述の工程を繰り返すことにより高品質な半導体層を有する基板が複数個得られた。

【０１３３】（実施例５）６２５μmの厚みを持った比抵抗０．０１Ω・cmのＰ型あるいはＮ型の両面研磨の６インチ径の第１の（１００）単結晶Ｓｉ基板を、ＨＦ溶液中において両面に対して陽極化成を行った。

【０１３４】陽極化成条件は以下のとおりであった。

【０１３５】電流密度：５（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝１：１：１
時間：１２×２（分）
多孔質Ｓｉの厚み：各１０（μm）
Ｐｏｒｏｓｉｔｙ：１５（％）
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。両面に形成した多孔質Ｓｉ上にＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により単結晶Ｓｉをそれぞれ１μmエピタキシャル成長した。成長条件は以下の通りである。

【０１３６】ソースガス：SiH_2Cl_2／H_2
ガス流量：０．５／１８０　ｌ／ｍｉｎ
ガス圧力：８０Ｔｏｒｒ
温度：９５０℃
成長速度：０．３μm／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化により１００nmのSiO_2層を形成した。

【０１３７】該SiO_2層表面と別に用意した５００nmのSiO_2層を形成した２枚のＳｉ基板の表面とをそれぞれ重ね合わせ、接触させた後、６００℃－２時間の熱処理をし、貼り合わせをおこなった。

【０１３８】実施例１の手法を用いて貼り合わせたウェハの面に対して垂直方向に十分な引っ張り力を加えたところ多孔質Ｓｉ層が２層とも破壊しウェハは三分割され、多孔質Ｓｉが表出した。

【０１３９】その後、多孔質Ｓｉ層を４９％弗酸と３０％過酸化水素水との混合液（１：５）で撹拌しながら選択エッチングする。単結晶Ｓｉはエッチングされずに残り、単結晶Ｓｉをエッチ・ストップの材料として、多孔質Ｓｉは選択エッチングされ、完全に除去された。

【０１４０】非多孔質Ｓｉ単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、比多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【０１４１】すなわち、Ｓｉ酸化膜上に１μmの厚みを持った単結晶Ｓｉ層が２枚同時に形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【０１４２】透過電子顕微鏡による断面観察の結果、Ｓ

ｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例１と同様にして上述の工程を繰り返し、高品質な半導体層を有する基板複数個を得た。

【０１４３】（実施例６）６２５μmの厚みを持った比抵抗０．０１Ω・cmのP型あるいはN型の5インチ径の第１の（１００）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【０１４４】陽極化成条件は以下のとおりであった。

【０１４５】電流密度：７（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2 Ｏ：C_2 H_5 OH＝１：１：１
時間：４（分）
多孔質Ｓｉの厚み：３（μm）
Ｐｏｒｏｓｉｔｙ：１５（％）
さらに
電流密度：３０（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2 Ｏ：C_2 H_5 OH＝１：３：２
時間：３（分）
多孔質Ｓｉの厚み：１０（μm）
Ｐｏｒｏｓｉｔｙ：４５（％）
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にCVD法により単結晶Ｓｉを０．３μmエピタキシャル成長した。成長条件は以下の通りである。

【０１４６】ソースガス：ＳｉH_4
キャリヤーガス：H_2
温度：８５０℃
圧力：１×１０$^{-2}$Ｔｏｒｒ
成長速度：３．３nm／ｓｅｃ
さらに、このエピタキシャルＳｉ層表面に熱酸化により１００nmのＳｉO_2層を形成した。

【０１４７】該ＳｉO_2 層表面と別に用意した５００nmのＳｉO_2 層を形成したＳｉ基板の表面とを重ね合わせ、接触させた後、７００℃－２時間の熱処理をし、貼り合わせをおこなった。

【０１４８】実施例１の手法を用いて、貼り合わせたウェハの面に対して垂直方向に十分な引っ張り力を加えたところで多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。

【０１４９】その後、多孔質Ｓｉ層をＨＦ／HNO$_3$ ／CH$_3$ COOH系のエッチング液で選択エッチングする。多孔質Ｓｉはエッチングされ、完全に除去された。

【０１５０】非多孔質Ｓｉ単結晶の該エッチング液に対するエッチング速度は、極めて低く、非多孔質層におけるエッチング量は実用上無視できる膜厚減少である。

【０１５１】すなわち、Ｓｉ酸化膜上に１μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【０１５２】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例１と同様にして上述の工程を繰り返し、高品質な半導体層を有する基板複数個を得た。

【０１５３】（実施例７）６２５μmの厚みを持った比抵抗０．０１Ω・cmのP型あるいはN型の６インチ径の第１の（１００）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【０１５４】陽極化成条件は以下のとおりであった。

【０１５５】電流密度：５（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2 Ｏ：C_2 H_5 OH＝１：１：１
時間：１２（分）
多孔質Ｓｉの厚み：１０（μm）
Ｐｏｒｏｓｉｔｙ：１５（％）
この基板を酸素雰囲気中４００℃で１時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にCVD（ＣｈｅｍｉｃａｌＶａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により単結晶Ｓｉを１μmエピタキシャル成長した。成長条件は以下の通りである。

【０１５６】ソースガス：ＳｉＨ$_2$ Ｃｌ$_2$ ／H_2
ガス流量：０．５／１８０　ｌ／ｍｉｎ
ガス圧力：８０Ｔｏｒｒ
温度：９５０℃
成長速度：０．３μm／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化により１００nmのＳｉO_2層を形成した。

【０１５７】該ＳｉO_2 層表面と別に用意した５００nmのＳｉO_2 層を形成したＳｉ基板の表面とを重ね合わせ、接触させた後、９００℃－２時間の熱処理をし、貼り合わせをおこなった。

【０１５８】実施例１の手法を用いて、貼り合わせたウェハの面に対して垂直方向に十分な引っ張り力を加えたところ多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。

【０１５９】その後、多孔質Ｓｉ層を単結晶Ｓｉをストッパーとして選択研磨した。多孔質Ｓｉ選択研磨され、完全に除去された。

【０１６０】すなわち、Ｓｉ酸化膜上に１μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【０１６１】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例１と同様にして上述の工程を繰り返し、高品質な半導体層を有

する基板複数個を得た。

【0162】（実施例8）625μmの厚みを持った比抵抗0．01Ω・cmのP型あるいはN型の6インチ径の第1の（100）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【0163】陽極化成条件は以下のとおりであった。

【0164】電流密度：5（mA・cm^{-2}）

陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：1：1

時間：12（分）

多孔質Ｓｉの厚み：10（μm）

Porosity：15（％）

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にCVD（Chemical Vapor Deposition）法により単結晶Ｓｉを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0165】ソースガス：SiH_2Cl_2／H_2

ガス流量：0．5／180　l／min

ガス圧力：80Torr

温度：950℃

成長速度：0．3μm／min

さらに、このエピタキシャルＳｉ層表面に熱酸化により100nmのSiO_2層を形成した。

【0166】該SiO_2層表面と別に用意した500nmのSiO_2層を形成したＳｉ基板の表面とを重ね合わせ、接触させた後、900℃－2時間の熱処理をし、貼り合わせをおこなった。次いで貼り合わせた基板を超音波振動子を配した層の中に入れ、超音波エネルギーを印加したところ多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。

【0167】その後、多孔質Ｓｉ層を49％弗酸と30％過酸化水素水との混合液（1：5）で攪はんしながら選択エッチングする。単結晶Ｓｉはエッチングされずに残り、単結晶Ｓｉをエッチ・ストップの材料として、多孔質Ｓｉは選択エッチングされ完全に除去された。

【0168】非多孔質Ｓｉ単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【0169】すなわち、Ｓｉ酸化膜上に1μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【0170】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0171】第1のＳｉ単結晶基板は残留多孔質Ｓｉを除去して、再度第1のＳｉ単結晶基板として使用した。

【0172】（実施例9）525μmの厚みを持った比抵抗0．01Ω・cmのP型あるいはN型の4インチ径の第1の（100）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【0173】陽極化成条件は以下のとおりであった。

【0174】電流密度：7（mA・cm^{-2}）

陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：1：1

時間：12（分）

多孔質Ｓｉの厚み：10（μm）

Porosity：15（％）

この基板を酸素雰囲気中400℃で2時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にMBE（Molecular Beam Epitaxy）法により単結晶Ｓｉを0．5μmエピタキシャル成長した。成長条件は以下の通りである。

【0175】温度：700℃

圧力：1×10^{-9}Torr

成長速度：0．1nm／sec

温度：950℃

成長速度：0．3μm／min

さらに、このエピタキシャルＳｉ層表面に熱酸化により100nmのSiO_2層を形成した。

【0176】該SiO_2層表面と別に用意した溶融石英基板の表面とを重ね合わせ、接触させた後、400℃－2時間の熱処理をし、貼り合わせをおこなった。

【0177】ウェハ端面に多孔質層を表出させ、多孔質Ｓｉをある程度エッチングし、そこへ剃刀の刃のように鋭利な板を挿入したところ多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。

【0178】その後、多孔質Ｓｉ層をバッファード弗酸と30％過酸化水素水との混合液（1：5）で攪はんしながら選択エッチングする。単結晶Ｓｉはエッチングされずに残り、単結晶Ｓｉをエッチ・ストップの材料として、多孔質Ｓｉは選択エッチングされ完全に除去された。

【0179】非多孔質Ｓｉ単結晶の該エッチング液にたいするエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【0180】すなわち、溶融石英基板上に0．5μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【0181】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0182】エピタキシャルＳｉ層表面に酸化膜を形成しなくても同様の結果が得られた。
【0183】第1のＳｉ単結晶基板は残留多孔質Ｓｉを除去して、表面研磨を行い鏡面状にした後、再度第1のＳｉ単結晶基板として使用した。
【0184】（実施例10）625μmの厚みを持った比抵抗0．01Ω・cmのP型あるいはN型の両面研磨の6インチ径の第1の（100）単結晶Ｓｉ基板を、ＨＦ溶液中において両面に対して陽極化成を行った。
【0185】陽極化成条件は以下のとおりであった。
【0186】電流密度：5（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：1：1
時間：12×2（分）
多孔質Ｓｉの厚み：各10（μm）
Ｐｏｒｏｓｉｔｙ：15（%）
この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。両面に形成した多孔質Ｓｉ上にCVD（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により単結晶Ｓｉを1μmエピタキシャル成長した。成長条件は以下の通りである。
【0187】ソースガス：SiH_2Cl_2／H_2
ガス流量：0．5／180 l／ｍｉｎ
ガス圧力：80Ｔｏｒｒ
温度：950℃
成長速度：0．3μm／ｍｉｎ
さらに、このエピタキシャルＳｉ層表面に熱酸化により100nmのSiO_2層を形成した。
【0188】該SiO_2層表面と別に用意した500nmのSiO_2層を形成した2枚のＳｉ基板の表面とをそれぞれ重ね合わせ、接触させた後、600℃－2時間の熱処理をし、貼り合わせをおこなった。
【0189】ウェハ端面に多孔質層を表出させ、多孔層Ｓｉに水等の液体をしみ込ませた後、貼り合わせウェハ全体を加熱あるいは冷却したところ、液体の膨張等により多孔質Ｓｉ層が破壊しウェハは二分割され、多孔質Ｓｉが表出した。
【0190】その後、多孔質Ｓｉ層を49%弗酸と30%過酸化水素水との混合液（1：5）で攪はんしながら選択エッチングする。単結晶Ｓｉはエッチングされずに残り、単結晶Ｓｉをエッチ・ストップの材料として、多孔質Ｓｉは選択エッチングされ完全に除去された。
【0191】非多孔質Ｓｉ単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量（数十オングストローム程度）は実用上無視できる膜厚減少である。
【0192】すなわち、Ｓｉ酸化膜上に1μmの厚みを持った単結晶Ｓｉ層が2枚同時に形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。
【0193】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。
【0194】エピタキシャルＳｉ層表面に酸化膜を形成しなくても同様の結果が得られた。
【0195】第1のＳｉ単結晶基板は残留多孔質Ｓｉを除去して、表面を水素処理して平坦化した後、再度第1のＳｉ単結晶基板として使用した。
【0196】（実施例11）625μmの厚みを持った比抵抗0．01Ω・cmのP型あるいはN型の5インチ径の第1の（100）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。
【0197】陽極化成条件は以下のとおりであった。
【0198】電流密度：7（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：1：1
時間：4（分）
多孔質Ｓｉの厚み：3（μm）
Ｐｏｒｏｓｉｔｙ：15（%）
さらに
電流密度：30（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：3：2
時間：3（分）
多孔質Ｓｉの厚み：10（μm）
Ｐｏｒｏｓｉｔｙ：45（%）
この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にCVD法により単結晶Ｓｉを0．3μmエピタキシャル成長した。成長条件は以下の通りである。
【0199】ソースガス：SiH_4
キャリヤーガス：H_2
温度：850℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：3．3nm／ｓｅｃ
さらに、このエピタキシャルＳｉ層表面に熱酸化により100nmのSiO_2層を形成した。
【0200】該SiO_2層表面と別に用意した500nmのSiO_2層を形成したＳｉ基板の表面とを重ね合わせ、接触させた後、700℃－2時間の熱処理をし、貼り合わせをおこなった。
【0201】第1（あるいは第2）の基板に対して第2（あるいは第1）の基板に水平方向に力を加えたところ多孔質Ｓｉ層は剪断応力に耐えきれず破壊しウェハは二分割され、多孔質Ｓｉが表出した。
【0202】その後、多孔質Ｓｉ層をＨＦ／HNO_3／CH_3COOH系のエッチング液で選択エッチングす

る．多孔質Ｓｉは選択エッチングされ完全に除去された。

【0203】非多孔質Ｓｉ単結晶の該エッチング液にたいするエッチング速度は、極めて低く、非多孔質層におけるエッチング量は実用上無視できる膜厚減少である。

【0204】すなわち、Ｓｉ酸化膜上に1μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【0205】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0206】エピタキシャルＳｉ層表面に酸化膜を形成しなくても同様の結果が得られた。

【0207】第1のＳｉ単結晶基板は残留多孔質Ｓｉを除去して、再度第1のＳｉ単結晶基板として使用した。

【0208】（実施例12）625μmの厚みを持った比抵抗0．01Ω・cmのＰ型あるいはＮ型の5インチ径の第1の（100）単結晶Ｓｉ基板を、ＨＦ溶液中において陽極化成を行った。

【0209】陽極化成条件は以下のとおりであった。

【0210】電流密度：7（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：1：1
時間：4（分）
多孔質Ｓｉの厚み：3（μm）
Ｐｏｒｏｓｉｔｙ：15（%）
さらに
電流密度：30（mA・cm^{-2}）
陽極化成溶液：ＨＦ：H_2O：C_2H_5OH＝1：3：2
時間：3（分）
多孔質Ｓｉの厚み：10（μm）
Ｐｏｒｏｓｉｔｙ：45（%）
この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Ｓｉの孔の内壁は熱酸化膜で覆われた。多孔質Ｓｉ上にＣＶＤ法により単結晶Ｓｉを0．3μmエピタキシャル成長した。成長条件は以下の通りである。

【0211】ソースガス：SiH_4
キャリヤーガス：H_2
温度：850℃
圧力：1×10^{-2}Ｔｏｒｒ
成長速度：3．3nm／sec
さらに、このエピタキシャルＳｉ層表面に熱酸化により100nmのSiO_2層を形成した。

【0212】該SiO_2層表面と別に用意した500nmのSiO_2層を形成したＳｉ基板の表面とを重ね合わせ、接触させた後、700℃－2時間の熱処理をし、貼り合わせをおこなった。

【0213】ウェハ端面に多孔質層を表出させ、多孔質Ｓｉの選択エッチング液により端面から多孔質Ｓｉ層をエッチングしたところウェハは二分割された。

【0214】その後、多孔質Ｓｉ層をＨＦ／HNO_3／CH_3COOH系のエッチング液で選択エッチングする．多孔質Ｓｉは選択エッチングされ完全に除去された。

【0215】非多孔質Ｓｉ単結晶の該エッチング液にたいするエッチング速度は、極めて低く、非多孔質層におけるエッチング量は実用上無視できる膜厚減少である。

【0216】すなわち、Ｓｉ酸化膜上に1μmの厚みを持った単結晶Ｓｉ層が形成できた。多孔質Ｓｉの選択エッチングによっても単結晶Ｓｉ層には何ら変化はなかった。

【0217】透過電子顕微鏡による断面観察の結果、Ｓｉ層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0218】エピタキシャルＳｉ層表面に酸化膜を形成しなくても同様の結果が得られた。

【0219】第1のＳｉ単結晶基板は残留多孔質Ｓｉを除去して、再度第1のＳｉ単結晶基板として使用した。

【0220】

【発明の効果】以上説明したように、本発明によれば、貼り合わせて構成された基体を多孔質層で分離し、非多孔質単結晶半導体層が配された第2の基体上の多孔質層を除去することにより、高品質な非多孔質単結晶半導体層が配された半導体基体を形成できる。

【0221】これに加えて、貼り合わせて構成された基体を多孔質層で分離し、第1の基体を構成する多孔質層を除去することにより、多孔質層を除去した第1の基体を半導体基体作製に再利用することができるため、半導体基体の生産性の向上、低コスト化が更に図れる。

【0222】また、本発明によれば、透明基板（光透過性基板）をはじめとする基板上に結晶性が単結晶ウェハー並に優れたＳｉ等の単結晶層あるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することができる。

【0223】また、本発明によれば、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替足り得る半導体基板の作製方法を提案することができる。

【0224】また、本発明によれば、多孔質層を介して基体を2つ以上に分離することができ、分離後の一方の基体は、残留多孔質を除去した後、半導体基板として使用可能であり、他方の基体は、残留多孔質を除去した後、再度、半導体基板の作製に利用することができる。

【0225】また、本発明によれば、基体の両面に多孔質層および非多孔質単結晶層を形成し、該単結晶層を挟むように2枚の別の基体を貼り合わせた後、前記多孔質

層で基体を分離することにより同時に２枚の半導体基板を作製することができる。

【０２２６】すなわち、本発明によれば、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有する単結晶基板を用いて、表面に形成された半導体層あるいは化合物半導体活性層を残して、その片面から該活性層までを取り去り、絶縁物上に欠陥の著しく少ない単結晶層あるいは化合物半導体結晶層を得る半導体基板の作製方法を提供することができる。

【０２２７】また、透明基板（光透過性基板）上に結晶性が単結晶ウェハー並に優れたＳｉあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を得ることができる。

【０２２８】また、ＳＯＩ構造の大規模集積回路を作製する際にも、高価なＳＯＳや、ＳＩＭＯＸの代替足り得る半導体基板の作製方法を得ることができる。

【図面の簡単な説明】

【図１】本発明の方法の１例を説明するための模式的断面図である。

【図２】本発明の方法の１例を説明するための模式的断面図である。

【図３】本発明の方法の１例を説明するための模式的断面図である。

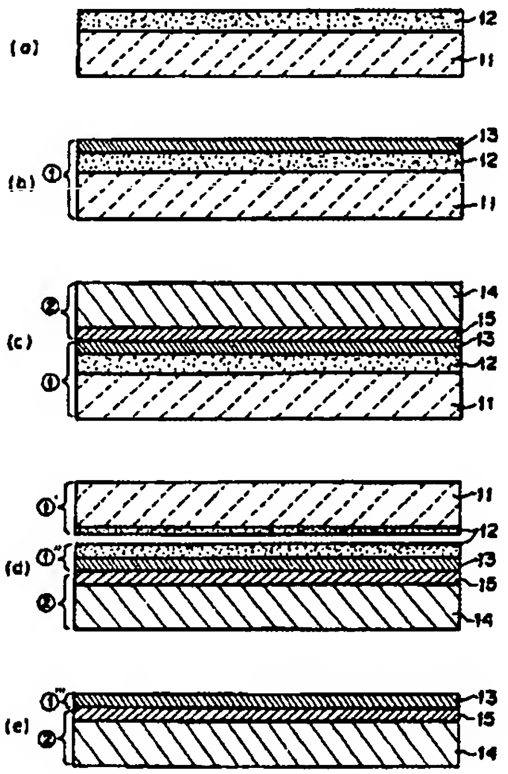
【図４】本発明の方法の１例を説明するための模式的断面図である。

【図５】本発明の方法の１例を説明するための模式的断面図である。

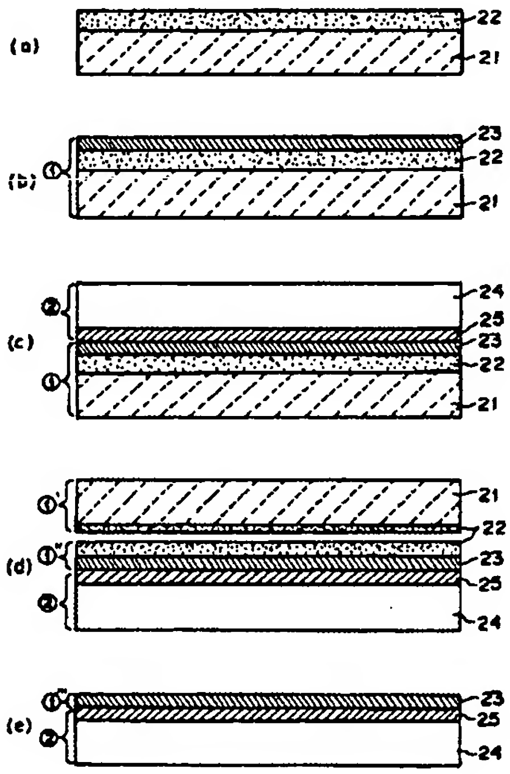
【符号の説明】

１１　Ｓｉ単結晶基板
１２　多孔質Ｓｉ層
１３　非多孔質単結晶Ｓｉ層
１４　Ｓｉ支持基板
１５　絶縁層

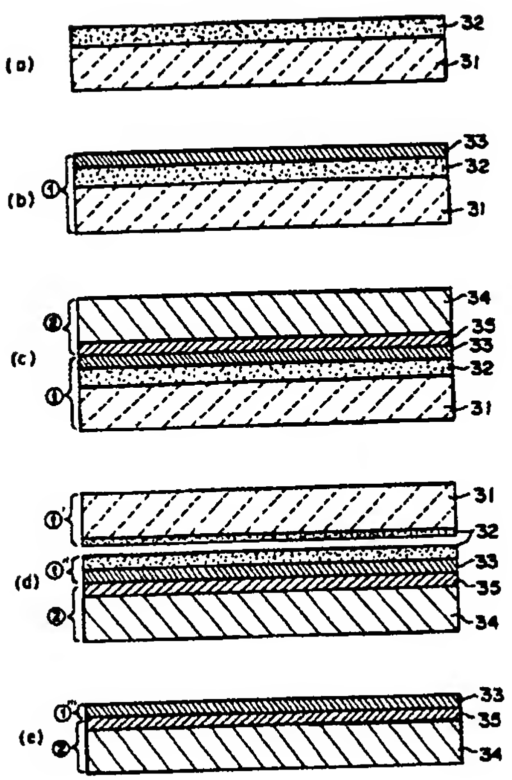
【図１】



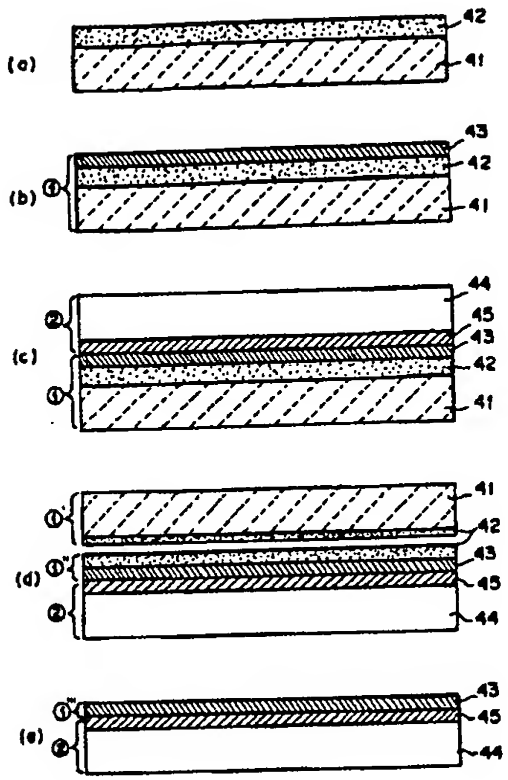
【図２】



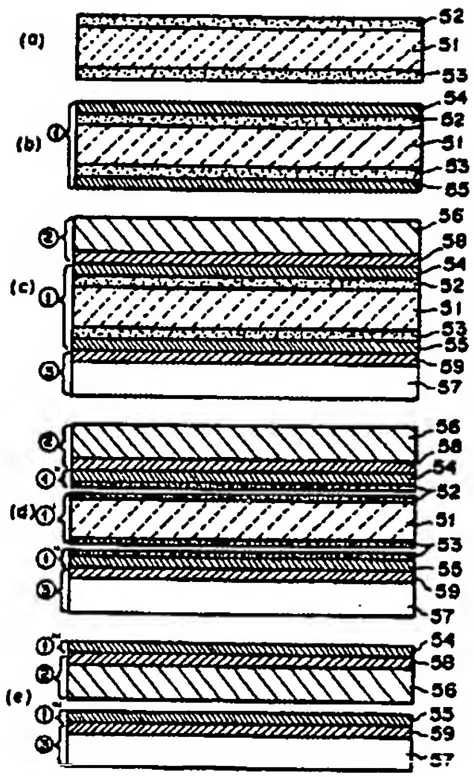
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶		識別記号	庁内整理番号	F I		技術表示箇所
H01L	21/762					
	23/12					
	23/15					
				H01L	23/14	C